

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-59003

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl.<sup>6</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
H 0 4 N 5/262  
G 1 1 B 27/02 C 8224-5D  
H 0 4 N 5/7826

H 0 4 N 5/ 782 A  
5/ 91 N  
7734-5C  
審査請求 未請求 請求項の数 2 F D (全 6 頁) 最終頁に続く

(21) 出願番号 特願平5-237119

(22) 出願日 平成5年(1993)8月11日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中屋 秀雄

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

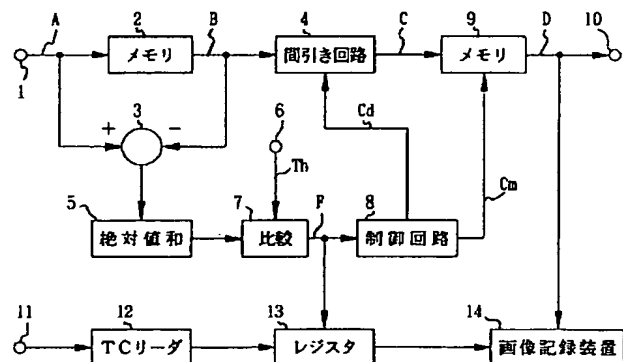
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 画像表示装置

(57) 【要約】

【目的】 ビデオ信号の編集において、誰でも容易に編集をすることができる。

【構成】 メモリ2を介した前フレームと現フレームの減算を行い絶対値和回路5においてフレーム内の画素全ての累算を行い、その累算値がしきい値Thより大きい場合、比較回路7から出力される検出信号Fが`0'から`1'に変わる。この検出信号Fが`1'の場合、間引き回路4へ制御信号Cdとメモリ9へ制御信号Cmが夫々供給される。間引き回路4では、画像信号を出力するときに読み出し画素を制御し、縮小画像をメモリ9へ供給する。メモリ9では、1画面分にあたる所定枚の縮小画像が格納された次の時点で出力端子10と画像記録装置14へ夫々供給する。また、入力端子11から再生タイムコード信号がタイムコードリーダ12を介してレジスタ13へ供給される。レジスタ13では、検出信号Fが`1'のとき画像記録装置14へ供給される。



## 【特許請求の範囲】

【請求項 1】 動画像のシーンチェンジ検出手段を有し、シーンチェンジ後の先頭シーンを縮小画像に変換する処理を行い、上記縮小画像を順番にフレームメモリに蓄える手段と、  
上記フレームメモリに蓄えられた上記縮小画像を読み出し、表示する手段を有することを特徴とする画像表示装置。

【請求項 2】 請求項 1 に記載の画像表示装置において、  
上記シーンチェンジ検出手段は、少なくとも、第 1 の前フレームと第 2 の現フレームの 2 つを用い、画素毎に差分を行う手段と、  
上記差分値に絶対値化を施し、フレーム間の重心値としきい値を比較する手段と、  
上記縮小画像は、記録時に 1 画面内に複数枚表示できるように分割された記憶媒体に記録する手段と、  
表示時には、1 画面分が一括に読み出され、一括に表示される手段を特徴とする画像表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、例えば、ビデオ信号の編集において、誰でも容易に必要なシーン（カット）を選び、編集できる画像表示装置に関する。

## 【0002】

【従来の技術】 ビデオの編集を行う場合、撮影した画像の中から必要なシーンを選び出すという作業をまず行う必要がある。通常、この作業は、操作者によって再生（または、早送り再生）し、画像を見ながらシーンの特徴、アドレス等を表示、書き出す作業を行い、そのシーンを使うか否かの判断材料を作成する。その後、ストーリーに従って必要なシーンを選定し、編集作業に入る。

## 【0003】

【発明が解決しようとする課題】 従来の編集作業は、時間が非常に長くなり、アマチュアがビデオの編集作業を断念してしまうような問題があった。

【0004】 従って、この発明の目的は、操作者に頼っていた部分をなるべく自動化したいという要求を満足させるために、シーンチェンジを自動的に検出し、その先頭フレームを縮小し、縮小画像を複数並べて一枚の画面を構成し、その画面を出力することを可能とする画像表示装置を提供することにある。

## 【0005】

【課題を解決するための手段】 この発明は、動画像のシーンチェンジ検出手段を有し、シーンチェンジの先頭シーンへ処理を施し、縮小画像に変換し、縮小画像を順番にフレームメモリに蓄える手段と、フレームメモリに蓄えられた縮小画像を読み出し、表示する手段を有することを特徴とする画像表示装置である。

## 【0006】

【作用】 動画像のシーンチェンジを検出し、シーンチェンジ直後のシーンを縮小し順番にフレームメモリに蓄えることにより、蓄えた縮小画像を一括して読み出すことにより、画像のシーンチェンジの様子を一括表示し、画像編集やシーン解析の操作を容易にすることができる。

## 【0007】

【実施例】 以下、この発明の一実施例について図面を用いて説明する。図 1 はこの発明に係る画像表示装置の構成の一実施例をブロック図で示す。1 で示す入力端子に供給される入力信号は、VTR またはビデオディスク再生装置等のビデオ再生信号を YC 分離の処理を施した後、輝度信号 Y と色差信号 C をサンプリング周波数  $f_{s1}$  と  $f_{s2}$  を用いて夫々 A/D 変換を行うことにより生成される 8 ビットのデジタル信号である。ここで、輝度信号 Y と色差信号 C は同様の信号処理を行うため、図 1 の一実施例では輝度信号 Y に対して信号処理を施す例を説明する。

【0008】 メモリ 2 に供給された輝度信号 Y は、1 フレーム遅延され、そのメモリ 2 からの前フレームは、減算器 3 と間引き回路 4 に夫々供給される。減算器 3 は、現フレームの信号から前フレームの信号の減算を画素毎に行い、その差分値を絶対値和回路 5 へ出力する。絶対値和回路 5 から 1 フレームの差分絶対値の総和が計算され、その計算結果が比較回路 7 へ供給される。比較回路 7 では、絶対値和回路 5 の出力が端子 6 から入力されるしきい値  $T_h$  と比較され、これがしきい値  $T_h$  より大きい場合、比較回路 7 の出力の検出信号 F は '1' となり、これがしきい値  $T_h$  より小さい場合、比較回路 7 の出力の検出信号 F は '0' となる。すなわち、シーンチェンジによりその前後のフレームに大きな差異が生じたときに検出信号 F が '0' から '1' に変化する。

【0009】 比較回路 7 の出力の検出信号 F は制御回路 8 とレジスタ 13 へ供給される。比較回路 7 から検出信号 F が供給された制御回路 8 では、間引き回路 4 の制御信号 C<sub>d</sub> とメモリ 9 の制御信号 C<sub>m</sub> が夫々生成される。ここで、間引き回路 4 はフレームメモリの構成で、メモリ 2 から供給される出力画素がシーンチェンジと判断されたとき、すなわち、検出信号 F が '1' のとき、メモリ 2 からの出力画素が間引き回路 4 に書き込まれるとともに、シーンチェンジが行われた次のフレームクロック FCK の立ち上がりの先頭期間で読み出し画素を制御することで間引きを行う。この実施例では、シーンの概略を知る目的で単純な画素／ライン間引きのみを行うが、エイリアシングによる劣化が問題になる場合、帯域制限フィルタを挿入することにより良好な結果を得ることができる。

【0010】 メモリ 9 は、間引き回路 4 によって縮小された画像を 1 画面中に順番に並べるメモリである。メモリ 9 では、縮小画像を順番に並べて書き込み、1 画面分

の縮小画像の書き込みが終了したところで読み出される、すなわち、出力端子 10 から 1 画面分のデータが出力される。とともに、画像記録装置 14 へ供給され、記録される。

【0011】入力端子 11 から再生タイムコード信号が供給され、タイムコードリーダ 12 によって、タイムコードが発生し、レジスタ 13 に保持される。レジスタ 13 では検出信号 F が '0' から '1' に変化するとき、すなわち、シーンチェンジが行われたときに保持しているタイムコードを画像記録装置 14 に記録する。例として、画像記録装置 14 においては、メモリ 9 から供給される画像と重畳して画像記録領域にタイムコードを記録する。これに限らず、画像とは別にタイムコードを記録する。すなわち、画像記録領域以外の部分に記録する等の様々な記録方法を採用できる。

【0012】ここで、図 2 は、絶対値和回路 5 の一例の構成を示す。21 は入力端子で減算器 3 から出力される差分値が供給される。絶対値化回路 22 では、供給された差分値の絶対値が計算され、差分絶対値が加算器 23 に出力される。加算器 23 は、帰還路を有し、1 フレーム分の差分絶対値が累算され、1 フレームの差分絶対値の総和が計算される。この加算器 23 の出力は平均値化回路 24 に供給され 1 フレーム分の画素数で除算され、その結果がレジスタ 26 に保持される。レジスタ 26 の内容 (1 フレームの絶対値和) が端子 25 からフレームクロック FCK の立ち上がりに同期して出力端子 27 から出力される。

【0013】図 3 は、この発明に係る画像表示装置の一実施例の動作のタイミングチャートである。クロック FCK は、フレーム周期のクロックである。入力ビデオ信号 A は、クロック FCK に同期している。ビデオ信号 B は、メモリ 2 によって 1 フレーム分遅延されて出力される。すなわち、ビデオ信号 B は、ビデオ信号 A に対して 1 フレーム前の信号となる。検出信号 F は、メモリ 2 からの出力画素がシーンチェンジと判断されたとき '1' になり、検出信号 F に同期してライト信号が '1' になり、シーンチェンジ後の先頭フレームライトが間引き回路 4 内のメモリに格納する。

【0014】R/W 信号は、間引き回路 4 から画像データを縮小画像として読み出すための制御と、この読み出された縮小画像データをメモリ 9 へ読み込むための制御とを行うために使用される。すなわち、R/W 信号は、検出信号 F が立ち下がった直後に '1' となり、これによって間引き回路 4 から出力される画像データの読み出し画素を制御することで間引きを行い、1 枚の縮小画像データ C がメモリ 9 に読み込まれる。そして、縮小画像が所定枚数すなわち、1 画面分そろったタイミングより以降にメモリ 9 のリード信号が '1' となり、1 画面全体の縮小画像データ D が読み出される。

【0015】図 4 は、制御回路 8 の構成の一例をブロッ

ク図で示す。入力端子 31 から検出信号 F が入力され、入力端子 32 から WE 信号が入力され、入力端子 33 からクロック CK1 が入力され、入力端子 34 からクロック CK1 を 1/m に分周したクロック CK2 が入力される。

【0016】AND ゲート 35 では、入力端子 31 から検出信号 F と入力端子 32 から WE 信号が夫々供給され、検出信号 F が '1' のとき WE 信号によって、フレームメモリで構成されている間引き回路 4 への書き込み制御のためのライト信号が作成され、出力端子 36 からライト信号が出力される。カウンタ 37 の EN (イネーブル) 端子に検出信号 F が計数され、そのクロック入力としてクロック CK1 が供給される。検出信号 F が '1' のときカウンタ 37 は動作し、そのカウント値が ROM 38 にアドレスとして供給される。ROM 38 は、間引き回路 4 内のメモリの書き込みアドレス ADRS1 を発生し、出力端子 39 に出力する。

【0017】レジスタ 40 は、入力端子 31 から検出信号 F と入力端子 34 からクロック CK2 が夫々供給され、レジスタ 40 の出力が NOR ゲート 41 の一方の入力端子に供給される。その NOR ゲート 41 の他方の入力端子には検出信号 F が供給される。すなわち、レジスタ 40 と NOR ゲート 41 によって、検出信号 F の立ち下がり微分パルスが作成される。そのパルスは、間引き回路 4 の読み出し制御兼、メモリ 9 の書き込み制御用の R/W 信号として、出力端子 42 から出力される。

【0018】また、NOR ゲート 41 から出力される R/W 信号は、カウンタ 43 の EN 端子に供給され、R/W 信号が '1' のとき、クロック CK1 をカウンタ 43 が計数し、そのカウント出力は、ROM 44 と 48 に供給される。ROM 44 は、間引き回路 4 のメモリの読み出しアドレス ADRS2 を出力端子 45 に発生する。また、ROM 48 は、メモリ 2 の書き込みアドレス ADRS3 を出力端子 49 して発生する。

【0019】ここで、カウンタ 46 のクロック端子に検出信号 F が供給され、検出信号 F をカウンタ 46 において計数し、そのカウント値を ROM 47 を介して ROM 48 へ供給する。これは、後述する図 6 における縮小画像の格納位置を決定するアドレスとして ROM 48 へ供給される。このカウンタ 46 の動作制御は、ROM 47 の出力の一部をカウンタ 46 のクリア端子に接続し、複数枚の縮小画像が供給され、1 画面に格納された後、ROM 47 からカウンタ 46 のクリア端子へパルスを出し、カウンタ 46 をリセットし、再び同じ動作を繰り返すようになされている。

【0020】また、ROM 47 では、カウンタ 50 のイネーブル信号をも作成しており、そのイネーブル信号は、カウンタ 50 の EN 端子に供給されている。そのイネーブル信号が '1' のときカウンタ 50 のクロック端子に供給されているクロック CK1 をカウンタ 50 が計

数し、そのカウンタ 50 の出力と検出信号 F が供給された ROM 51 はメモリ 9 の読み出しアドレス AD RS 4 を発生し、出力端子 53 から供給される。また、ROM 51 は、メモリ 9 の読み出し制御用のリード信号も生成し、出力端子 52 に発生する。

【0021】ここで、図 4 中に記載されている 5 つの ROM の機能に対して説明を行う。ROM 38 は、フレームメモリ構成の間引き回路 4 の書き込みアドレス AD RS 1 を発生する。このアドレス AD RS 1 によって、シーンチェンジ後の先頭シーンの画像データが間引き回路 4 のフレームメモリに順次書き込まれる。ROM 44 は、間引き回路 4 の読み出しアドレス AD RS 2 を発生する。この読み出しアドレス AD RS 2 によって、縮小比に従って水平方向および垂直方向において所定間隔で画素データを読み出すことにより、縮小画像データが間引き回路 4 からメモリ 9 へ供給される。

【0022】ROM 48 は、メモリ 9 の書き込みアドレス AD RS 3 を発生する。この書き込みアドレス AD RS 3 によって、後述する図 6 に示すように、メモリ 9 の異なる領域に縮小画像データを順番に読み込む。ROM 51 では、メモリ 9 の読み出しアドレス AD RS 4 を発生するとともに、メモリ 9 の読み出し制御用のリード信号を同時に発生する。この読み出しアドレス AD RS 4 によって、メモリ 9 から縮小画像データが複数枚集まり、1 画面となった縮小画像データを読み出す。ROM 47 では、カウンタ 46 のクリア信号 I を発生し、カウンタ 50 のイネーブル信号 H を発生する。また、カウンタ 46 からの計数を ROM 47 の出力信号 G として ROM 48 へ供給される。

【0023】図 5 は図 4 の制御回路 8 のブロック図の動作のタイミングチャートである。シーンチェンジが発生したとき、クロック F CK の立ち上がり同期して検出信号 F とライト信号が '1' になり、この検出信号 F が '1' になることにより間引き回路 4 の書き込みアドレス AD RS 1 が順次発生する。この書き込みアドレス AD RS 1 によって、間引き回路 4 内のフレームメモリに対して 1 フレームのビデオ信号が書き込まれる。この動作はシーンチェンジの度に行われる。また、このシーンチェンジの回数はカウンタ 46 で計数される。

【0024】1 画面分の所定枚数の縮小画像がメモリ 9 へ格納され、次にシーンチェンジが行われたとき、すなわち、検出信号 F の立ち上がりでクリア信号 I が立ち下がる。このクリア信号 I の立ち下がり同期してイネーブル信号 H が '1' になり、イネーブル信号 H が '1' の期間中メモリ 9 の読み出し制御用のリード信号が順次発生し、メモリ 9 の読み出しアドレス AD RS 4 が出力される。

【0025】出力信号 G は、検出信号 F の立ち上がりから次の検出信号 F の立ち上がりまでのすなわち、シーンチェンジが行われるまで信号を出力する。また、検出信号 F の立ち下がり同期して間引き回路 4 の読み出し制御兼、メモリ 9 の書き込み制御用の R/W 信号が '1' になり、間引き回路 4 の読み出しアドレス AD RS 2 とメモリ 9 の書き込みアドレス AD RS 3 が R/W 信号に同期して信号を夫々出力する。ここで、クロック F CK、検出信号 F、ライト信号、R/W 信号、リード信号の詳細な説明は上述の通りである。

【0026】図 6 は、例えば、縦横夫々 6 分割した場合の表示例であるが、各分割にシーンチェンジ後の先頭シーンを縮小された画像が時系列の順にはめ込まれた画像表示の例である。

【0027】

【発明の効果】この発明に係る画像表示装置は、簡単な回路構成でシーンチェンジの検出が行え、シーンチェンジ後の先頭フレームを縮小し、複数枚集めて一括表示することで、編集に必要なシーンを容易に探すことができる。また、画像表示装置をビデオ再生機器や編集機器に搭載することによって、編集の機能の充実化が図れ、ビデオ編集をより楽しいものにすることができる。さらに、ここでプリントした画像とテープを管理することで、インデックスの役割をはたすことが可能となる。

【図面の簡単な説明】

【図 1】この発明に係る画像表示装置の一実施例である。

【図 2】この発明に係る画像変換装置における絶対値和回路の説明に用いるブロック図の一例である。

【図 3】この発明に係る画像変換装置のタイミングチャートの一例のである。

【図 4】この発明に係る画像変換装置における制御回路の説明に用いるブロック図の一例である。

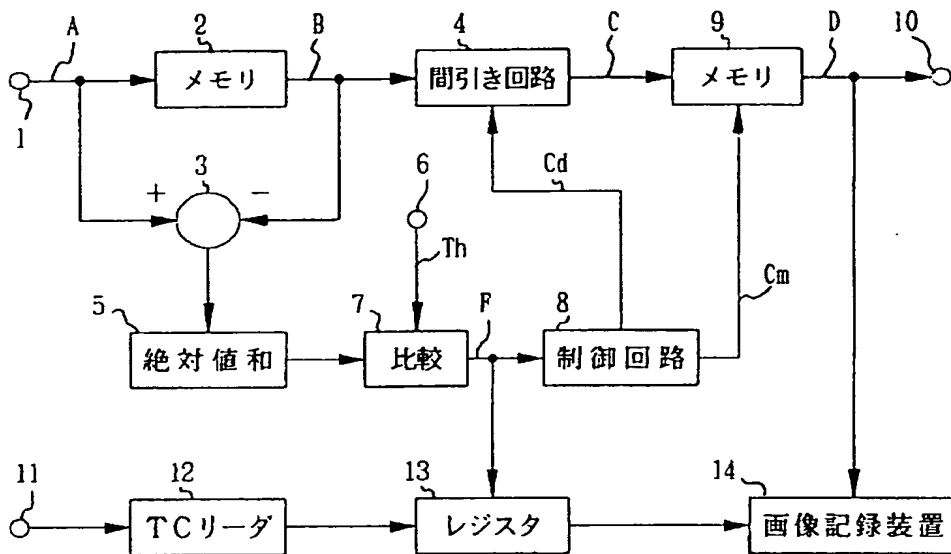
【図 5】この発明に係る画像変換装置における制御回路のタイミングチャートの一例のである。

【図 6】この発明の複数の縮小画面の説明に用いる略線図である。

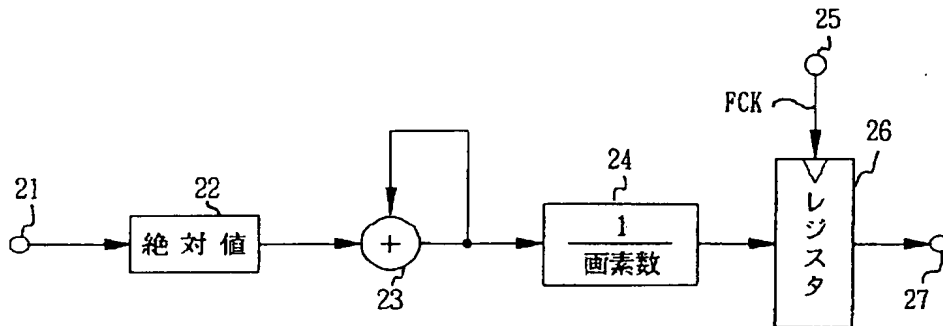
【符号の説明】

- 2、9 メモリ
- 4 間引き回路
- 5 絶対値和回路
- 7 比較回路
- 8 制御回路
- 12 TC リーダ
- 13 レジスタ
- 14 画像記録装置

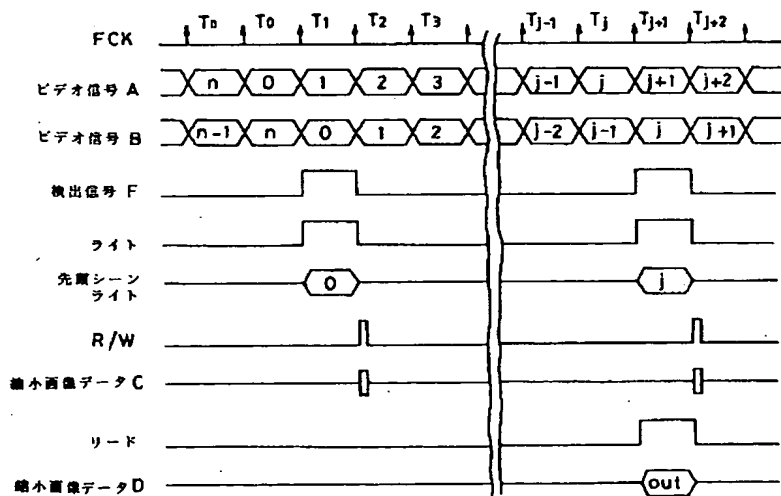
【図1】



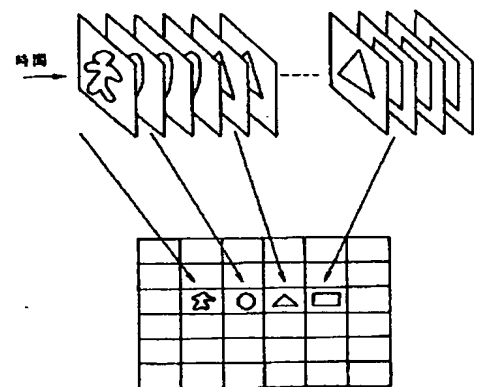
【図2】



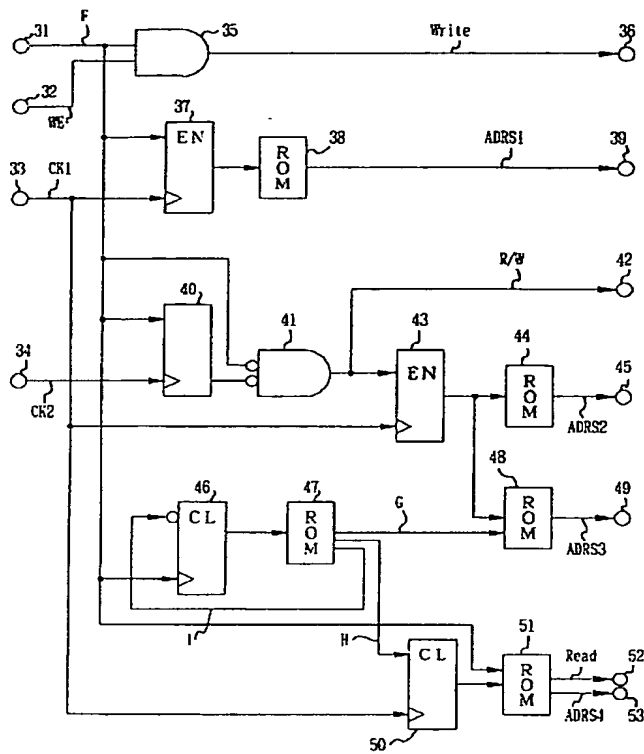
【図3】



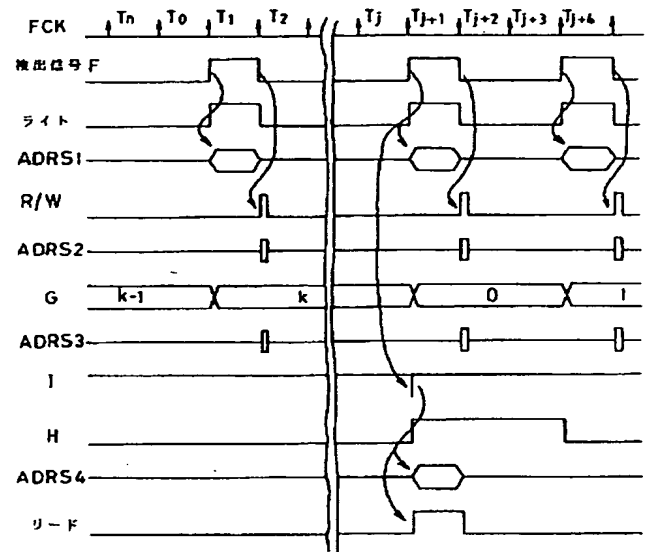
【図6】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 4 N 5/91

識別記号

庁内整理番号

F I

技術表示箇所